

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-181551

(43)Date of publication of application : 26.06.2002

(51)Int.Cl.

G01C 19/56

G01P 9/04

H01L 29/84

(21)Application number : 2001-310621

(71)Applicant : DENSO CORP

(22)Date of filing : 12.10.1992

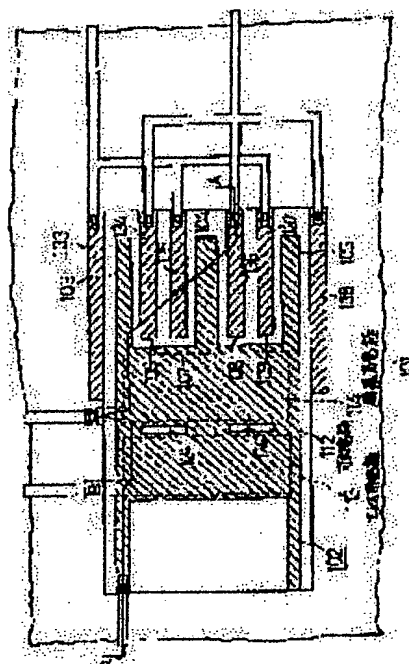
(72)Inventor : FUJII TETSUO
IMAI MASATO

(54) SEMICONDUCTOR DYNAMIC-QUANTITY SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor dynamic-quantity sensor by which a yaw rate sensor according to a beam excitation-type capacitance detection system can be manufactured easily and by which a movable state in two directions and three directions can be detected and to provide its manufacturing method.

SOLUTION: A recess is formed on the main surface of a single-crystal silicon substrate 101 so as to form a trench, n⁺ diffusion layers 117 as a pair of counter electrodes are formed by sandwiching the trench in the face direction of the substrate, and an n⁺ diffusion layer 117 is formed in a direction at right angles to the face direction of the substrate. The recess and the trench are filled with a polysilicon film, n⁺ polysilicon films are formed by sandwiching the polysilicon film, the main surface of the substrate 101 is smoothed, and the main surface of the substrate 101 is bonded to a silicon substrate 110. The rear side of the substrate 101 is polished by a prescribed amount, the substrate 101 is changed into a thin film, the polysilicon film is etched and removed from the rear side of the substrate 101, and a cantilever having a plumb bob 139 is formed.



(43)公開日 平成14年6月26日(2002.6.26)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 1 C 19/56		G 0 1 C 19/56	2 F 1 0 5
G 0 1 P 9/04		G 0 1 P 9/04	4 M 1 1 2
H 0 1 L 29/84		H 0 1 L 29/84	Z

審査請求 有 請求項の数14 O L (全 11 頁)

(21)出願番号	特願2001-310621(P2001-310621)	(71)出願人	000004260
(62)分割の表示	特願平4-273202の分割		株式会社デンソー
(22)出願日	平成4年10月12日(1992. 10. 12)		愛知県刈谷市昭和町1丁目1番地
		(72)発明者	藤井 哲夫
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内
		(72)発明者	今井 正人
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内
		(74)代理人	100096998
			弁理士 碓氷 裕彦 (外2名)

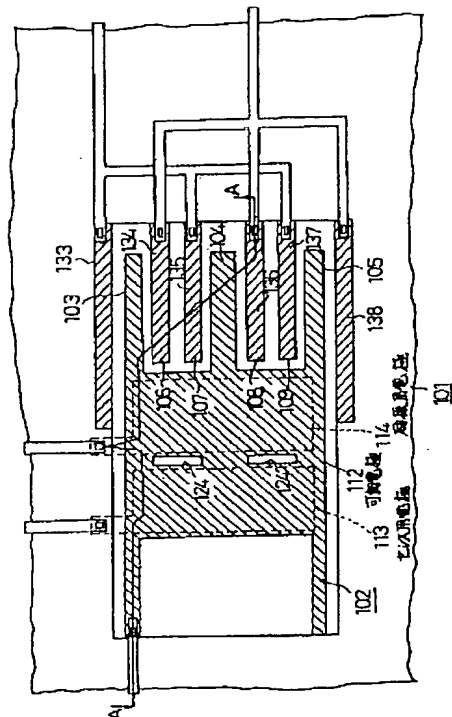
[最終頁に続く](#)

(54)【発明の名称】 半導体力学量センサ

(57) 【要約】

【課題】 梁励振タイプの容量検出方式によるヨーレイトセンサ及びそれを容易に製造することができることは勿論、2方向さらには3方向における可動状態を検出することができる半導体力学センサ及びその製造方法を提供する。

【解決手段】 単結晶シリコン基板１０１の主表面に凹部、トレンチを形成し、基板面方向にトレンチを挟んで一対の対向電極としてのｎ＋拡散層１１７を形成するとともに、基板面方向に直交する方向にｎ＋拡散層１１７を形成する。そして、凹部、トレンチをポリシリコン膜にて充填するとともにポリシリコン膜を挟んでｎ＋ポリシリコン膜を形成し、さらに、基板１０１の主表面を平滑化し、基板１０１の主表面とシリコン基板１１０とを接合する。さらに、基板１０１の裏面側を所定量研磨して基板１０１を薄膜化し、基板１０１の裏面側からポリシリコン膜をエッチング除去して錘１３９を有する片持ち梁を形成する。



【特許請求の範囲】

【請求項1】 基板上に形成され、第1電極を備えた第1面および第2電極を備えた第2面を有する可動部と、これら第1電極および第2電極に夫々対向した位置に形成された第1の対向電極及び第2の対向電極と、前記第1電極から取り出される第1の外部取り出し電極と、前記第1の対向電極から取り出される第2の外部取り出し電極と、前記第2電極から取り出される第3の外部取り出し電極と、前記第2の対向電極から取り出される第4の外部取り出し電極と、を有し、前記第1乃至第4の外部取り出し電極は略同一平面に設置され、これら第1電極及び第1の対向電極によって前記可動部の一方向に作用する力学量を検出し、第2電極及び第2の対向電極によって前記可動部の一方向とは異なる方向に作用する力学量を検出することを特徴とする半導体力学センサ。

【請求項2】 基板上に所定のギャップを介して配置された導電部に形成され、第1電極を備えた第1面および第2電極を備えた第2面を有する可動部と、これら第1電極および第2電極に夫々対向した位置に形成された第1の対向電極及び第2の対向電極と、前記第1電極から取り出される第1の外部取り出し電極と、前記第1の対向電極から取り出される第2の外部取り出し電極と、前記第2電極から取り出される第3の外部取り出し電極と、前記第2の対向電極から取り出される第4の外部取り出し電極と、を有し、前記第1乃至第4の外部取り出し電極は前記導電部層に設置され、これら第1電極及び第1の対向電極によって前記可動部の一方向に作用する力学量を検出し、第2電極及び第2の対向電極によって前記可動部の一方向とは異なる方向に作用する力学量を検出することを特徴とする半導体力学センサ。

【請求項3】 基板上に配置された導電部に形成された第1電極と、前記導電部層上に所定のギャップを介して形成され前記基板に対し略垂直方向に可動する可動部と、前記可動部の前記第1電極と対向する位置に形成された第2電極と、前記第1電極から取り出される第1の外部取り出し電極と、前記第2電極から取り出される第2の外部取り出し電極と、

を有し、前記第1及び第2の外部取り出し電極は略同一平面に設置され、

前記第1及び第2の電極によって前記可動部に作用する力学量を検出することを特徴とする半導体力学センサ。

【請求項4】 基板上に配置された第1の導電部に形成された第1電極と、前記導電部上に所定のギャップを介して配置された第2の導電部に形成され、前記基板に対し略垂直方向に可動する可動部と、前記可動部の前記第1電極と対向する位置に形成された第2電極と、前記第1電極から取り出される第1の外部取り出し電極と、前記第2電極から取り出される第2の外部取り出し電極と、

を有し、前記第1及び第2の外部取り出し電極は前記第2の導電部に設置され、

前記第1及び第2の電極によって前記可動部に作用する力学量を検出することを特徴とする半導体力学センサ。

【請求項5】 基板上に配置された第1導電部に形成された第1電極と、

前記第1導電部上に所定のギャップを介して形成され前記基板に対し略垂直方向に可動する第2導電部から成る可動部と、

前記可動部の前記第1電極と対向する位置に形成された第2電極と、を有し、

前記基板上に形成される導電部層は前記第1導電部及び第2導電部のみの構造となっており、

前記第1及び第2の電極によって前記可動部に作用する力学量を検出することを特徴とする半導体力学センサ。

【請求項6】 前記可動部の異なる2方向は互いに直交する方向であることを特徴とする請求項1又は2に記載の半導体力学センサ。

【請求項7】 前記可動部の前記基板が設定される側と反対側に、前記可動部と所定間隔をもって配置された対向部材を設けたことを特徴とする請求項1乃至4、又は6のいずれか1つに記載の半導体力学センサ。

【請求項8】 前記対向部材はセンサ出力を増大し、かつ前記可動部の破壊を防止すべく設定された部材である請求項7に記載の半導体力学センサ。

【請求項9】 前記可動部はシリコン層に形成されていることを特徴とする請求項1または2に記載の半導体力学センサ。

【請求項10】 前記可動部はシリコン層に形成されていることを特徴とする請求項3乃至8の何れか1つに記載の半導体力学センサ。

【請求項11】 前記第1、第2の対向電極の何れか1つは前記シリコン層の主表面に平行に形成されている請求項9に記載の半導体力学センサ。

【請求項12】 前記基板と前記シリコン層の間には、

少なくとも一方の対向電極と電気的に接続されて前記基板および前記シリコン層と絶縁されてなる導電層を有することを特徴とする請求項9又は11に記載の半導体力学センサ。

【請求項13】 前記シリコン層の表面に窒化珪素が形成されている請求項9乃至11の何れか1つに記載の半導体力学センサ。

【請求項14】 第1の外部取り出し電極と、第3の外部取り出し電極を共通とした事の特徴とする請求項1又は2に記載の半導体力学量センサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体力学センサ及びその製造方法に関し、特にヨーレイトセンサ及びその製造に好適なものである。

【0002】

【従来の技術】本願出願人はすでに、平成4年特許願第223072号にて半導体ヨーレイトセンサを提案している。これは、図17に示すように、半導体基板の一部に当該基板と離間した梁構造を形成し、その梁の先端に形成された錘の一面と同錘面と対向する基板壁面に交流電力を加えて静電気により錘を励振させ、当該錘の励振方向に対し直交する軸方向において錘の一面と同錘面と対向する基板壁面に電極を対向配置して当該対向電極間の容量の変化を電気的に検出して同方向に働くヨーレイトを検出するようにしたものである。

【0003】

【発明が解決しようとする課題】ところが、この半導体ヨーレイトセンサの如く2方向に可動する半導体力学センサにおいては、その具体的構造という観点からは不十分であるとともにセンサの製造方法については何ら触れられておらず今後の課題となっている。

【0004】そこで、この発明の目的は、梁励振タイプの容量検出方式によるヨーレイトセンサ、2方向さらには3方向（2個使用することにより）における可動状態を検出することができる半導体力学センサを提供することにある。

【0005】

【課題を解決するための手段】本発明は上記目的を達成するために、請求項1記載の発明では、極を備えた第1面および第2電極を備えた第2面を有する可動部と、これら第1電極および第2電極に夫々対向した位置に形成された第1の対向電極及び第2の対向電極と、前記第1電極から取り出される第1の外部取り出し電極と、前記第1の対向電極から取り出される第2の外部取り出し電極と、前記第2電極から取り出される第3の外部取り出し電極と、前記第2の対向電極から取り出される第4の外部取り出し電極と、を有し、前記第1乃至第4の外部取り出し電極は略同一平面に設置され、これら第1電極及び第1の対向電極によって前記可動部の一方向に作用

する力学量を検出し、第2電極及び第2の対向電極によって前記可動部の一方向とは異なる方向に作用する力学量を検出することを特徴とする半導体力学センサを特徴とする。請求項2記載の発明では、基板上に所定のギャップを介して配置された導電部に形成され、第1電極を備えた第1面および第2電極を備えた第2面を有する可動部と、これら第1電極および第2電極に夫々対向した位置に形成された第1の対向電極及び第2の対向電極と、前記第1電極から取り出される第1の外部取り出し電極と、前記第1の対向電極から取り出される第2の外部取り出し電極と、前記第2電極から取り出される第3の外部取り出し電極と、前記第2の対向電極から取り出される第4の外部取り出し電極と、を有し、前記第1乃至第4の外部取り出し電極は前記導電部層に設置され、これら第1電極及び第1の対向電極によって前記可動部の一方向に作用する力学量を検出し、第2電極及び第2の対向電極によって前記可動部の一方向とは異なる方向に作用する力学量を検出することを特徴とする半導体力学センサを特徴とする。請求項3記載の発明では、基板上に配置された導電部に形成された第1電極と、前記導電部層上に所定のギャップを介して形成され前記基板に対し略垂直方向に可動する可動部と、前記可動部の前記第1電極と対向する位置に形成された第2電極と、前記第1電極から取り出される第1の外部取り出し電極と、前記第2電極から取り出される第2の外部取り出し電極と、を有し、前記第1及び第2の外部取り出し電極は略同一平面に設置され、前記第1及び第2の電極によって前記可動部に作用する力学量を検出することを特徴とする半導体力学センサを特徴とする。請求項4記載の発明では、基板上に配置された第1の導電部に形成された第1電極と、前記導電部に所定のギャップを介して配置された第2の導電部に形成され、前記基板に対し略垂直方向に可動する可動部と、前記可動部の前記第1電極と対向する位置に形成された第2電極と、前記第1電極から取り出される第1の外部取り出し電極と、前記第2電極から取り出される第2の外部取り出し電極と、を有し、前記第1及び第2の外部取り出し電極は前記第2の導電部に設置され、前記第1及び第2の電極によって前記可動部に作用する力学量を検出することを特徴とする半導体力学センサを特徴とする。請求項5記載の発明では、基板上に配置された第1導電部に形成された第1電極と、前記第1導電部に所定のギャップを介して形成され前記基板に対し略垂直方向に可動する第2導電部から成る可動部と、前記可動部の前記第1電極と対向する位置に形成された第2電極と、を有し、前記基板上に形成される導電部層は前記第1導電部及び第2導電部のみの構造となっており、前記第1及び第2の電極によって前記可動部に作用する力学量を検出することを特徴とする半導体力学センサを特徴とする。

【0006】

【実施例】（第1実施例）以下、この発明を具体化した一実施例を図面に従って説明する。

【0007】図2には、本実施例における半導体コーレイトセンサの概略平面図を示す。つまり、本センサは単結晶シリコン基板101に片持ち梁102が形成され、その先端に錘139が形成されている。又、錘139の先端部には梁の延設方向に3つの突起103、104、105が離間して延設されている。又、片持ち梁102（錘139）の先端面に対向する単結晶シリコン基板101側には、突起103と104との間において2つの突起106、107が離間して突起103、104の延設方向に平行状態にて延設されている。同様に、片持ち梁102（錘139）の先端面に対向するシリコン基板101側には、突起104と105との間において2つの突起108、109が離間して突起104、105の延設方向に平行状態にて延設されている。

【0008】又、図3には、電極を含めた半導体コーレイトセンサの平面図を示す。さらに、図1には、図3のA-A断面図を示す。尚、SOI回路に形成するIC回路、配線等は省略し、本センサにおける容量を取り出す電極および振動電極等のみに関して外部取り出し用のアルミ電極のみを示してある。つまり、全ての電極取り出し部が単結晶シリコン基板101の主表面上に形成されている。

【0009】図1に示すように、単結晶シリコン基板101上にSiO₂膜111を介して単結晶シリコン基板101が接合され、この単結晶シリコン基板101に前述した梁構造が形成されている。

【0010】図1、3において、片持ち梁102の錘139の表面には可動電極112が形成されている。この可動電極112は、錘139の3つの突起103、104、105を含むものである。又、錘139の下方には、2つの電極113、114が並設されている。励振用電極114は、交流電力を加えて静電気により錘139を励振させるためのものである。つまり、可動電極112と励振用電極114とにより励振用対向電極が形成されている。

【0011】一方、センス用電極113は錘139の励振を検知するためのものであり、錘139の励振に伴う出力信号に基づいてフィードバック制御により所定の錘139の励振が行われる。つまり、可動電極112とセンス用電極113とにより励振のフィードバック用対向電極が形成されている。

【0012】又、図3に示すように、片持ち梁102の突起103を挟んで固定電極133と134（突起106）が形成されるとともに、突起104を挟んで固定電極135（突起107）と136（突起108）が形成されている。さらに、突起105を挟んで固定電極137（突起109）と138が形成されている。つまり、突起103（可動電極112）と固定電極133、13

4とにより対向電極が、又、突起104（可動電極112）と固定電極135、136とにより対向電極が形成されている。さらに、突起105（可動電極112）と固定電極137、138とにより対向電極が形成されている。

【0013】図4～図8にはその製造工程を示す。以下、製造工程を説明する。図4に示すように、1～20Ω・cmのn型（100）単結晶シリコン基板101を用意し、単結晶シリコン基板101の主表面にドライエッチング又はウェットエッチングにより凹部115を所定の深さ、例えば、0.1～5μmの深さで形成する。そして、単結晶シリコン基板101の主表面にSiO₂膜を形成し、フォトリソグラフィ手法によりパターンを形成する。続いて、凹部115の底部を含む単結晶シリコン基板101の主表面にドライエッチング等により0.1～30μm程度のトレンチ116を形成する。

【0014】本実施例では、この凹部115とトレンチ116とにより溝が構成されている。そして、トレンチ116の内壁を含む単結晶シリコン基板101の主表面に、n+拡散層117を形成するとともに、その表面に熱酸化によりSiO₂膜118を形成する。

【0015】その後、図5に示すように、凹部115、トレンチ116内にLPCVD法によりポリシリコン膜119を埋め込む。引き続き、SiO₂膜118をストッパーとしてポリシリコン膜119の表面を研磨し、表面を平滑にする。この時、ポリシリコン膜119とSiO₂膜118の表面が平滑になることが望ましい。

【0016】続いて、表面に例えばCVD法等により0.3～2μm程度の厚さのSiO₂膜120を形成し、n+拡散層117との電気的接続用の下部コンタクト121を所定の位置に形成する。

【0017】さらに、As、P（リン）を不純物としたn+ポリシリコン122を0.2～1μmの厚さで形成して、これを所定の電極パターン及びシールド層とする。次に、表面に、例えば絶縁膜であるBGSP膜123を0.2～1μmの厚さで形成する。そして、このBGSP膜123の表面を平坦化研磨する。

【0018】一方、図6に示すように、シリコン基板110を用意し、その表面に熱酸化により0.2～1μmのSiO₂膜111を形成する。引き続き、図7に示すように、シリコン基板101及び110を、SiO₂膜111を介して、例えば1000℃、N₂中で接合する。そして、単結晶シリコン基板101の裏面を、SiO₂膜118をストッパーとして選択研磨する。この研磨によりポリシリコン119とそれにより分離されたシリコン基板101領域を表面に露出させる。

【0019】続いて、単結晶シリコン基板101領域に公知の方法でIC基板その他のデバイス（図示せず）を作製するとともに、アルミ配線、パッシベーション膜、パッド窓（いずれも図示せず）を形成する。

【0020】続いて、図8に示すように、所定領域のSiO₂膜118を除去し、図3に示すエッチング用孔124を用いて所定領域のポリシリコン膜119を除去する。一例として、TMAH（テトラメチルアンモニウムヒドロキシド）エッチング液を用いる。このエッチングにより、可動電極（梁部）が形成される。

【0021】このようにして製造された半導体ヨーレイトセンサにおいては、シリコン基板110上にSiO₂膜111を介して薄膜化された単結晶シリコン基板101が接合され、単結晶シリコン基板101には先端に錘139を有する片持ち梁102が形成されている。又、錘139の一面（図1の下面）にはn+拡散層117が、又、同錘面と対向する単結晶シリコン基板101の下面にn+ポリシリコン122（励振用電極114）が形成され、n+拡散層117とn+ポリシリコン122とにより励振用対向電極が形成される。そして、この励振用対向電極に交流電力を加えて静電気により錘139が励振する。さらに、錘139の励振方向に対し直交する軸方向において、錘139の一面にはn+拡散層117が、又、同錘面と対向する単結晶シリコン基板101の壁面にn+拡散層117が形成され、錘139側のn+拡散層117と単結晶シリコン基板101の壁面側のn+拡散層117とによりヨーレイト検出用電極が形成される。このヨーレイト検出用電極により電気容量の変化を検出して同方向に働くヨーレイトが検出される。

【0022】つまり、励振用対向電極（n+拡散層117とn+ポリシリコン122）に交流電力を加えて静電気により錘139を励振させる。この状態で、ヨーレイト検出用電極（錘139側のn+拡散層117と、単結晶シリコン基板101の壁面側のn+拡散層117）により錘139の励振方向に対し直交する軸方向において電気容量の変化が検出されて同方向に働くヨーレイトが検出される。

【0023】このように本実施例では、単結晶シリコン基板101の主表面に、錘139を有する片持ち梁102を形成するための所定深さの溝としての凹部115、トレンチ116を形成し（第1工程）、錘139となる基板表面領域及びこの錘139を囲む凹部115、トレンチ116の内壁において基板面方向（図4の左右方向）にトレンチ116を挟んで一对の対向電極としてのn+拡散層117を形成するとともに、錘139となる基板表面領域において基板面方向に直交する方向（図5の上下方向；シリコン基板101の厚さ方向）にn+拡散層117（第1電極）を形成する（第2工程）。そして、凹部115、トレンチ116を充填材としてのポリシリコン膜119にて充填するとともにポリシリコン膜119を挟んでn+拡散層117（第1電極）に対し対向するn+ポリシリコン膜122（電極）を形成し、さらに、単結晶シリコン基板101の主表面を平滑化し（第3工程）、単結晶シリコン基板101の主表面とシ

リコン基板110とを接合する（第4工程）。さらに、単結晶シリコン基板101の裏面側を所定量研磨して単結晶シリコン基板101を薄膜化し（第5工程）、単結晶シリコン基板101の裏面側からポリシリコン膜119をエッチング除去して錘139を有する片持ち梁102を形成する（第6工程）。

【0024】その結果、シリコン基板110上にSiO₂膜111（絶縁膜）を介して接合され、かつ薄膜化された単結晶シリコン基板101と、単結晶シリコン基板101に形成され、錘139を有する梁102と、錘139の一面および同錘面と対応する壁面に形成された可動電極112、励振用電極114（第1の対向電極）と、錘139の可動電極112、励振用電極114に対して直交する軸方向において錘139の一面および同錘面と対向する壁面に形成された突起103～105、固定電極133～138（第2の対向電極）とを備えることとなる。

【0025】又、対向電極のどちらか1つ、即ち、可動電極112、励振用電極114は単結晶シリコン基板101の主表面に平行に形成されている。さらに、全ての電極取り出し部を薄膜化された単結晶シリコン基板101の同一面上に形成した。

【0026】このように、シリコン基板110上にSiO₂膜111を介して接合され、かつ、薄膜化された単結晶シリコン基板101と、単結晶シリコン基板101に形成され、先端に錘139を有する片持ち梁102と、錘139の一面および同錘面と対向する単結晶シリコン基板101の壁面に形成され、交流電力を加えて静電気により錘139を励振させる励振用対向電極と、錘139の励振方向に対し直交する軸方向において、錘139の一面および同錘面と対向する単結晶シリコン基板101の壁面に形成され、電気容量の変化を検出して同方向に働くヨーレイトを検出するためのヨーレイト検出用電極とを備えた半導体ヨーレイトセンサとなる。

【0027】このようにして表面マイクロマシーニング技術を用いて、ウェハプロセス途中、特にIC回路作製時、ウェハ凹部、貫通孔等のある状態での熱処理、フォトリソグラフィ処理等は行わず、プロセスの安定化、コンタミネーションを防ぎデバイスの安定化、高精度化を図ることができることとなる。

【0028】尚、本実施例の応用としては、上記実施例では励振用電極、センス電極を基板内部に埋め込んだ構造で説明したが、コスト低減化のためセンス電極を省略してもよい。この場合、上記構造の他にシリコン基板を励振用電極としてそのまま利用することもできる。

【0029】又、本実施例ではウェハ面と平行に形成した電極をセンス用電極、励振用電極とし、垂直方向の電極をコリオリの力を検出するための固定電極として用いたが、逆に利用することもできる。即ち、シリコン基板101に垂直方向に形成した固定電極の一方を励振用電

極とし、もう一方の垂直方向の電極をフィードバックをかけるためのセンス用電極として用い、ウェハ面に水平な電極をコリオリの力を検出するための電極としてもよい。

【0030】さらに、凹部115とトレンチ116を充填するためのポリシリコン膜119（即ち、多結晶シリコン膜）は、非晶質又は多結晶と非晶質の混在したシリコン膜を用いてもよい。

【0031】（第2実施例）次に、第2実施例を第1実施例との相違点を中心に説明する。

【0032】本実施例は、第1実施例に対し出力をさらに増大し、かつ、過剰な衝撃等に対して梁の破壊を防止しようとするものである。図9～図15にはセンサの製造工程を示す。以下、製造工程を説明する。

【0033】第1実施例の図4において、図9に示すように、 SiO_2 膜118の形成後、LPCVD法により200～2000Åの Si_3N_4 膜125を形成する。本実施例では Si_3N_4 膜125の膜厚を500Åとしている。

【0034】第1実施例と同様なプロセスで第1実施例の図7に示すような表面平坦化研磨を行う。続いて、フォトリソグラフィにより図9のレジスト126で所定のパターンを形成する。そして、図10に示すように、ドライエッチング等により単結晶シリコン基板101のセンサ部になる領域を部分的に除去する。

【0035】次に、レジスト126をマスクとして、例えばフッ酸を主体とするウェットエッチングにより SiO_2 膜118を除去する。続いて、レジスト126を除去する。

【0036】以後、説明を分かりやすくするため図10のセンサ部Bの拡大図を用いて説明していく。図11はその拡大部分である。

【0037】図12に示すように、 Si_3N_4 膜125を熱酸化のマスクとして SiO_2 膜127を500～1000Å形成する。本実施例では、 SiO_2 膜127の厚さを1000Åとしている。

【0038】続いて、図13に示すように、熱酸化時のマスクとして用いた Si_3N_4 膜125をプラズマエッチングまたは熱リン酸のエッチングにて除去する。続いて、LPCVD法等によりポリシリコン128を表面に形成し、ポリシリコン128の表面を選択研磨により SiO_2 膜127をストッパとして除去する。

【0039】さらに、TMAH（テトラメチルアンモニウムハイドロオキシド）液にて表面の仕上げを行う。ここで、周辺部にIC回路等形成のプロセスを行う（図示せず）。

【0040】そして、図14に示すように、表面に Si_3N_4 膜129を500～2000Å形成し、電極層およびセンサの過度の振幅に対するストッパとしてn+ポリシリコン層130を形成する。続いて、表面保護膜とし

てBPSG膜131を形成する。尚、この膜は Si_3N_4 膜等で形成することも可能である。続いて、窓部132を明ける。

【0041】続いて、図15に示すように、TMAH液にてポリシリコン119、ポリシリコン128をこの窓部132よりエッチング除去する。このようにして、全周を電極及びストッパで包囲された可動部（片持ち梁）を持つセンサが形成される。又、この構造においては、基板と垂直方向に錘部分を励振させた場合、図15に示すように、 $a > b$ かつaの範囲内にbがあるので励振によるヨーレイトを検出する場合の容量の変化はほとんどない。又、このようにaとbの関係は第1実施例に作り込むこともできる。

【0042】尚、図16は全体の様子がより詳しく分かるようにした図である。このように本実施例では、片持ち梁102の上方にストッパ部材を配置したので、第1実施例に対し出力をさらに増大、かつ、過剰な衝撃等に対して片持ち梁102の破壊が防止できる。

【0043】尚、この発明は上記各実施例に限定されるものではなく、例えばセンサユニットを互いに直交する方向に2組配置して2軸方向でのヨーレイトを検出するようにしてもよい。又、片持ち梁に限定されるものでもない。さらに、ヨーレイト検出に限らず、例えば、上述の実施例において励振用電極としたものを、上下方向における変位を容量検出する電極とし、2方向における変位検出を可能とした力学センサに用いることも可能である。

【0044】

【発明の効果】以上詳述したようにこの発明によれば、梁励振タイプの容量検出方式によるヨーレイトセンサ、2方向さらには3方向における可動状態を検出することができる半導体力学センサができる優れた効果を発揮する。

【図面の簡単な説明】

【図1】第1実施例における半導体ヨーレイトセンサの断面図である。

【図2】第1実施例における半導体ヨーレイトセンサの概略平面図である。

【図3】電極を含めた半導体ヨーレイトセンサの平面図である。

【図4】製造工程を示す断面図である。

【図5】製造工程を示す断面図である。

【図6】製造工程を示す断面図である。

【図7】製造工程を示す断面図である。

【図8】製造工程を示す断面図である。

【図9】第2実施例の半導体ヨーレイトセンサの製造工程を示す断面図である。

【図10】製造工程を示す断面図である。

【図11】製造工程を示す断面図である。

【図12】製造工程を示す断面図である。

【図13】製造工程を示す断面図である。

【図14】製造工程を示す断面図である。

【図15】製造工程を示す断面図である。

【図16】製造工程を示す断面図である。

【図17】センサの原理を説明するための説明図である。

【符号の説明】

101 単結晶シリコン基板

102 片持ち梁

103~105 突起

110 シリコン基板

111 絶縁膜としての SiO_2 膜

112 可動電極

114 励振用電極

115 溝を構成する凹部

116 溝を構成するトレンチ

117 n+拡散層

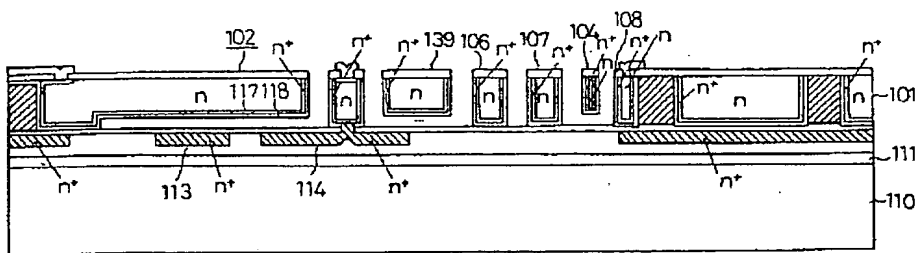
119 ポリシリコン膜

122 n+ポリシリコン膜

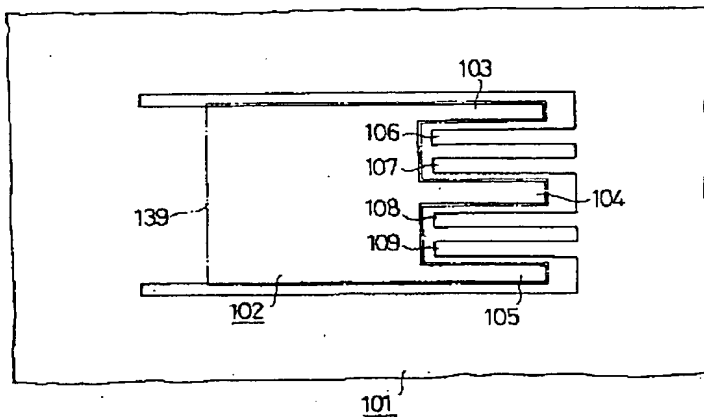
133~138 固定電極

139 錘

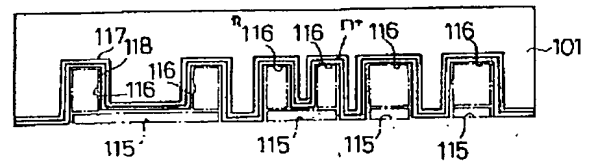
【図1】



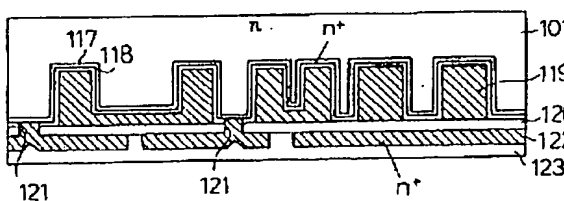
【図2】



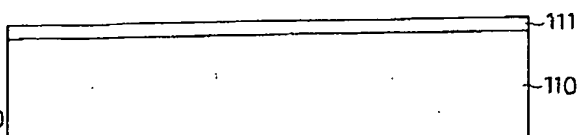
【図4】



【図5】



【図6】



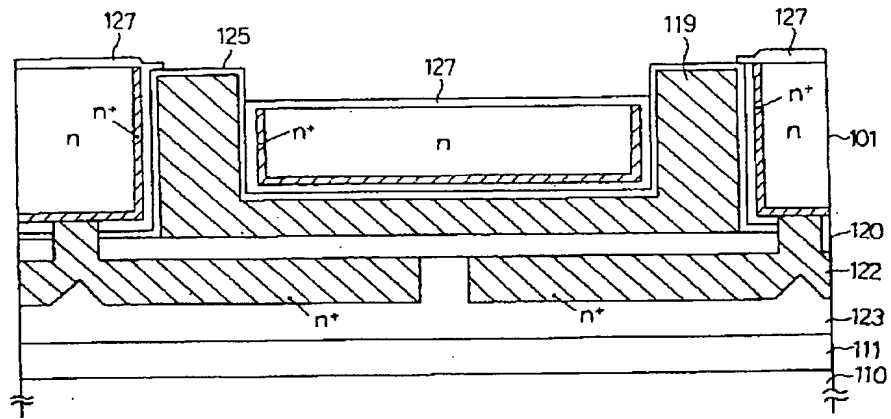
[illegible]

This cross-sectional view shows a semiconductor device with a substrate 110 and a base layer 111. A series of layers 123, 122, and 120 are deposited on the substrate. A patterned layer 126 is on top of layer 120. Below layer 126, there are several regions of different semiconductor materials: n^+ regions (125, 119, 118) and n regions (101, 120, 122, 123). A circular inset provides a magnified view of the corner of region 118, showing its interface with region 119.

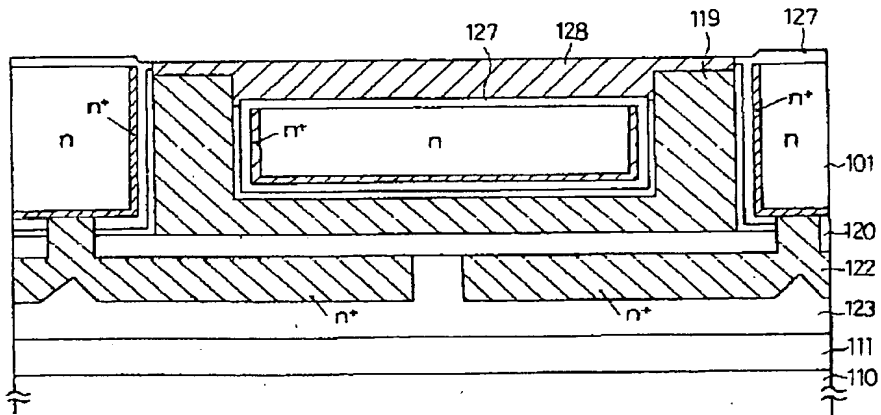
A detailed cross-sectional view of a semiconductor device. The structure consists of a substrate 110 with a series of layers: 111, 123, 122, and 120. A gate stack 125 is formed on the surface, with a gate 126 on top. The gate stack is divided into regions by spacers 124. The regions are labeled with semiconductor types: n^+ for the gate stack, n for the channel regions, and n^+ for the source and drain regions. The device includes a series of gates 118 and 119, and a series of contacts 101. The contacts are formed in the n^+ regions and are connected to the gates. The device is labeled with a reference numeral 110.

[illegible]

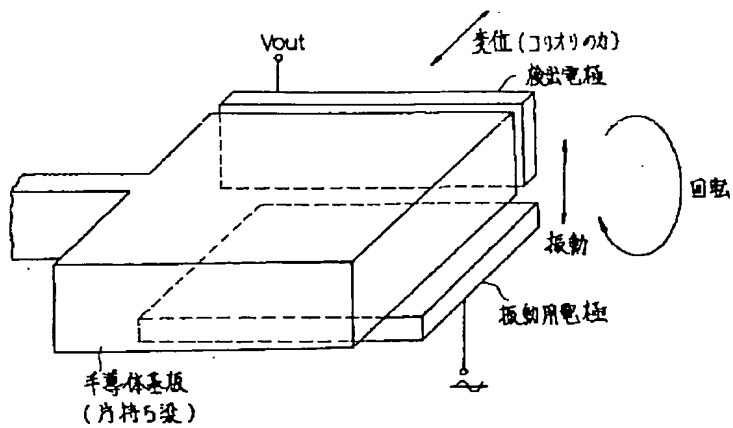
【図12】



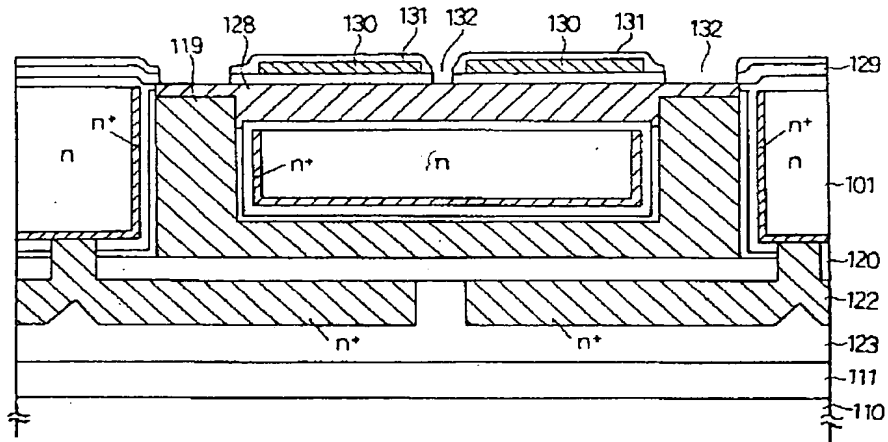
【図13】



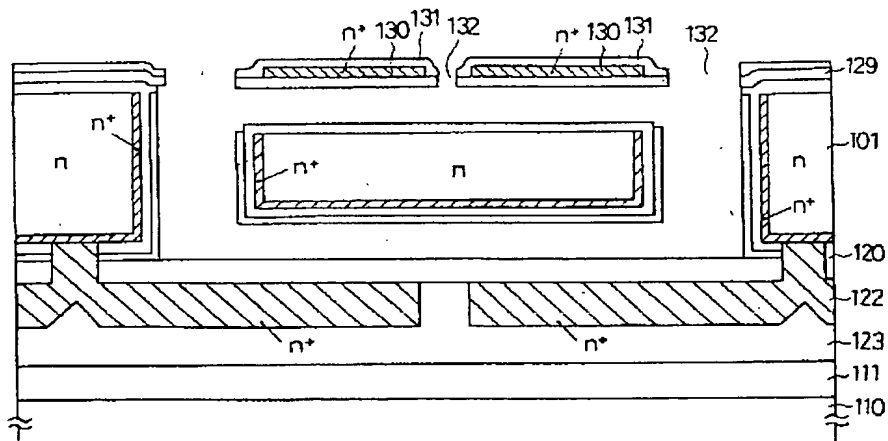
【図17】



【図14】



【図15】



フロントページの続き

Fターム(参考) 2F105 BB15 BB20 CC04 CD03 CD05
 CD13
 4M112 AA02 BA07 CA21 CA26 CA31
 CA33 DA05 DA12 EA03 EA04
 EA07 FA20